

PATENT
2557-000223/US/US

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

| | | | |
|------------------|---|-----------------|---------|
| Application No.: | NEW | Group Art Unit: | Unknown |
| Filing Date: | February 25, 2004 | Examiner: | Unknown |
| Applicants: | Tae-Joong SONG et al. | Conf. No.: | Unknown |
| Title: | SEMICONDUCTOR MEMORY DEVICE WITH SELECTIVELY CONNECTABLE SEGMENTED BIT LINE MEMBER AND METHOD OF DRIVING THE SAME | | |

PRIORITY LETTER

February 25, 2004

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Dear Sirs:

Pursuant to the provisions of 35 U.S.C. 119, enclosed is/are a certified copy of the following priority document(s).

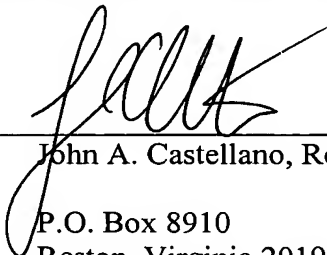
| <u>Application No.</u> | <u>Date Filed</u> | <u>Country</u> |
|------------------------|-------------------|----------------|
| 2003-34362 | 5/29/2003 | Korea |

In support of Applicant's priority claim, please enter this document into the file.

Respectfully submitted,

HARNESS, DICKEY, & PIERCE, P.L.C.

By


John A. Castellano, Reg. No. 35,094

P.O. Box 8910
Reston, Virginia 20195
(703) 668-8000

Enclosure: Priority Document

ATTORNEY DOCKET No. 2557-000223

HARNESS, DICKEY & PIERCE, PLC

703-668-8000



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원번호 : 10-2003-0034362
Application Number

출원년월일 : 2003년 05월 29일
Date of Application
MAY 29, 2003

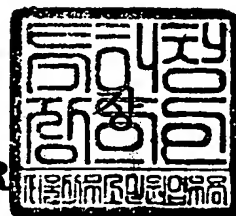
출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 07 월 10 일

특 허 청

COMMISSIONER



【서지사항】

| | |
|------------|--|
| 【서류명】 | 특허출원서 |
| 【권리구분】 | 특허 |
| 【수신처】 | 특허청장 |
| 【참조번호】 | 0005 |
| 【제출일자】 | 2003.05.29 |
| 【국제특허분류】 | G11C |
| 【발명의 명칭】 | 리드 /스캔 동작 시에 라이트 전용 비트 라인의 부하 용량을 감소시키는 반도체 메모리 장치, 및 그 방법 |
| 【발명의 영문명칭】 | Semiconductor memory device providing for writing only bit line load capacitance lowering in reading/scanning operation and method thereof |
| 【출원인】 | |
| 【명칭】 | 삼성전자 주식회사 |
| 【출원인코드】 | 1-1998-104271-3 |
| 【대리인】 | |
| 【성명】 | 이영필 |
| 【대리인코드】 | 9-1998-000334-6 |
| 【포괄위임등록번호】 | 2003-003435-0 |
| 【대리인】 | |
| 【성명】 | 정상빈 |
| 【대리인코드】 | 9-1998-000541-1 |
| 【포괄위임등록번호】 | 2003-003437-4 |
| 【발명자】 | |
| 【성명의 국문표기】 | 송태중 |
| 【성명의 영문표기】 | SONG, Tae Joong |
| 【주민등록번호】 | 710421-1233819 |
| 【우편번호】 | 445-973 |
| 【주소】 | 경기도 화성군 태안읍 반월리 860번지 신영통 현대타운 306동 1002호 |
| 【국적】 | KR |
| 【발명자】 | |
| 【성명의 국문표기】 | 김태형 |
| 【성명의 영문표기】 | KIM, Tae Hyoung |
| 【주민등록번호】 | 750113-1057949 |

【우편번호】 430-040
【주소】 경기도 안양시 만안구 석수동 275-1 현대아파트 105동 2004호
【국적】 KR
【심사청구】 청구
【취지】 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인
 이영필 (인) 대리인
 정상빈 (인)
【수수료】
【기본출원료】 20 면 29,000 원
【가산출원료】 8 면 8,000 원
【우선권주장료】 0 건 0 원
【심사청구료】 14 항 557,000 원
【합계】 594,000 원
【첨부서류】 1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

리드/스캔 동작 시에 라이트 전용 비트 라인의 부하 용량을 감소시키는 반도체 메모리 장치, 및 그 방법이 개시된다. 상기 반도체 메모리 장치는, 싱글-엔드 비트 라인 방식으로 리드/스캔 동작 시에 라이트 전용 비트 라인의 부하 용량을 감소시켜서, 리드/스캔 동작 중에 소모되는 전력을 줄일 수 있다. 또한, 칩 면적이 작고, 공정 수율이 증가되는 효과가 있다.

【대표도】

도 3

【명세서】

【발명의 명칭】

리드/스캔 동작 시에 라이트 전용 비트 라인의 부하 용량을 감소시키는 반도체 메모리 장치, 및 그 방법{Semiconductor memory device providing for writing only bit line load capacitance lowering in reading/scanning operation and method thereof}

【도면의 간단한 설명】

본 발명의 상세한 설명에서 인용되는 도면을 보다 충분히 이해하기 위하여 각 도면의 간단한 설명이 제공된다.

도 1은 6T 형 그래픽용 반도체 메모리 장치의 일반적인 비트 셀 구조이다.

도 2는 리드/스캔 동작 시에 라이트 전용 비트 라인의 부하 용량을 감소시키기 위한 일반적인 비트 셀 구조이다.

도 3은 본 발명의 일실시예에 따른 반도체 메모리 장치의 구조이다.

도 4는 본 발명의 다른 실시예에 따른 반도체 메모리 장치의 구조이다.

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<6> 본 발명은 반도체 메모리 장치에 관한 것으로, 특히 라이트 전용 비트 라인을 가지는 RAM(random access memory), 및 그 방법에 관한 것이다.

<7> LDI(LCD driver IC)를 채용하는 LCD(liquid crystal display) 제품(STN LCD/TFT LCD)에 사용되는 그래픽(graphic)용 반도체 메모리 장치는 보통 듀얼 포트 방식으로,

한 포트로는 라이트 또는 리드(write/read) 동작을 수행하고, 다른 포트로는 리드(read) 동작을 수행한다. 이에 대응하기 위한 그래픽용 반도체 메모리 장치는 비트 셀을 구성하는 MOSFET(MOS field effect transistor)들의 개수에 따라 6T/7T/8T 등 여러 가지 종류로 나뉘어진다. 이 중에서 6개의 트랜지스터들로 구성되는 6T 형(type) 반도체 메모리 장치는 듀얼 포트나 기타 멀티 포트(multi-port) 동작을 수행하지는 못하지만, 7T/8T 형에 비해서 작은 칩(chip) 면적을 요하므로, 고밀도(high-density)가 필요한 컬러 LDI 제품에 주로 사용된다.

<8> 이러한 6T 형 그래픽용 반도체 메모리 장치의 동작은 라이트, 리드, 또는 스캔(write/read/scan)과 같은 세 가지 동작으로 이루어진다. 라이트 동작은 데이터를 기입하기 위하여 두 개의 비트 라인에 의하여 구동되는 더블-엔드 비트 라인(double-ended bit-line) 방식에 의하여 이루어진다. 리드 동작은 한 셀에 저장된 데이터를 독출하기 위하여 두 개의 비트 라인이 동시에 구동되는 더블-엔드 비트 라인 방식과 래치 구조의 SA(sense amplifier)를 통하여 이루어지거나, 한 셀에 저장된 데이터를 독출하기 위하여 한 개의 비트 라인만 구동되는 싱글-엔드 비트 라인(single-ended bit-line) 방식과 한 개의 인버터(inverter) 구조의 SA를 통하여 이루어진다. 스캔 동작은 선택되는 워드 라인에 존재하는 비트 셀들에 저장된 데이터 전체를 동시에 독출하는 동작으로서, 일반적으로 싱글-엔드 비트 라인 방식과 한 개의 인버터 구조의 SA를 통하여 이루어진다. 6T 형 그래픽용 반도체 메모리 장치의 구동에 대하여 일본 특허 출원, "JP1999-021712"에 잘 나타나있다.

<9> 도 1은 6T 형 그래픽용 반도체 메모리 장치의 일반적인 비트 셀 구조이다.

- <10> 도 1과 같은 비트 셀 구조로 이루어지는 반도체 메모리 장치는, 그래픽용으로 사용될 때, 6T 형의 특성상 제1 비트 라인(BL)은 "0" 데이터를 라이트(write)하는 전용 비트 라인으로 사용되고, 제2 비트 라인(BLB)은 "1" 데이터의 라이트 동작과, 리드 동작 또는 스캔 동작 수행에 사용된다. 주지된 바와 같이, 인버터들 INV1과 INV2 각각은 두 개의 MOSFET들로 구성된다.
- <11> 즉, 라이트 동작에는 6T 형의 특성상 싱글-엔드 비트 라인 방식이 적용되지 못하고, 더블-엔드 비트 라인 방식이 적용된다. 리드 동작에는 더블-엔드 비트 라인 방식과 싱글-엔드 비트 라인 방식 중 어느 것이 적용될 수 있지만, 리드 동작 스피드를 크게 떨어뜨리지 않고 칩 면적도 작게 하며 테스트 시간도 줄일 수 있는 싱글-엔드 비트 라인 방식이 일반적으로 적용된다. 마찬가지로, 스캔 동작에도 싱글-엔드 비트 라인 방식과 한 개의 인버터 구조의 SA를 사용하는 구조가 적용된다.
- <12> 그런데, 도 1과 같은 비트 셀 구조로 이루어지는 반도체 메모리 장치의 스캔 동작에 있어서, 워드 라인(WL)이 액티브되면, 스캔 동작에 필요한 MOSFET(M2) 뿐만 아니라, 라이트 전용 MOSFET(M1)도 동시에 턴온(turn-on)되어 제1 비트 라인(BL)을 통한 불필요한 전력 소모가 유발되는 문제점이 있다. 이와 같은 불필요한 전력 소모는 위와 같은 이유로 인하여 리드 동작에서도 유발된다.
- <13> 도 2는 리드/스캔 동작 시에 라이트 전용 비트 라인의 부하 용량을 감소시키기 위한 일반적인 비트 셀 구조이다.
- <14> 도 2는 도 1과 같은 구조에서 유발되는 불필요한 전력 소모를 제거하기 위하여 고안된 일반적인 비트 셀 구조이다. 도 2에서, 리드 또는 스캔 동작 중에 라이트 전용 워드 라인(WL1)은 액티브되지 않고, 리드/스캔 전용 워드 라인(WL2)만 액티브되므로, 리드

또는 스캔 동작 시에 도 1의 구조에서 유발되었던 불필요한 전력 소모의 문제점은 없다. 그러나, 이를 구현하기 위해서 워드 라인이 하나 더 추가되므로, 칩 면적이 증가된다. 특히, 라이트 동작에 소모되는 전력을 줄이기 위한 DWL(divide-wordline) 구조를 적용하면, 워드 라인들(WL1, WL2) 각각을 구동하기 위한 도 1에서와는 다른 종류의 워드 라인 드라이버(driver) 회로도 필요하다는 문제점이 있다. 또한, 설계 레이아웃(layout) 상에서 도 1의 MOSFET들 M1과 M2의 게이트는 모두 같은 폴리 실리콘 워드 라인(WL)에 의하여 공유되므로 양쪽에서 대칭적인(symetric) 특성을 얻을 수 있지만, 도 2의 MOSFET들 M1과 M2의 게이트는 서로 다른 워드 라인들(WL1, WL2)에 의하여 구동되므로 양쪽에서 대칭적인 특성을 기대할 수 없기 때문에, 공정 수율면에서 취약하다는 문제점이 있다.

【발명이 이루고자 하는 기술적 과제】

<15> 따라서, 본 발명이 이루고자하는 기술적 과제는, 싱글-엔드 비트 라인 방식으로 리드/스캔 동작 시에, 라이트 전용 비트 라인의 부하 용량(capacitance)을 감소시켜서, 리드/스캔 동작 중에 소모되는 전력을 줄일 수 있는 반도체 메모리 장치를 제공하는 데 있다.

<16> 본 발명이 이루고자하는 다른 기술적 과제는, 싱글-엔드 비트 라인 방식으로 리드/스캔 동작 시에, 라이트 전용 비트 라인의 부하 용량(capacitance)을 감소시켜서, 리드/스캔 동작 중에 소모되는 전력을 줄일 수 있는 반도체 메모리 장치의 구동 방법을 제공하는 데 있다.

【발명의 구성 및 작용】

- <17> 상기의 기술적 과제를 달성하기 위한 본 발명에 따른 반도체 메모리 장치는, 제1 비트 셀 어레이 블록, 제2 비트 셀 어레이 블록, 블록 분할 로직, 라이트 비트 라인 디바이더, 리드/라이트 드라이버, 및 스캔 드라이버를 구비한다.
- <18> 상기 제1 비트 셀 어레이 블록은 제1 라인들과 제2 라인들로 구성되는 다수개의 제1 비트 라인들 및 다수개의 제1 워드 라인들 사이의 교차 부분들 각각에 비트 셀을 구비하고, 라이트 동작으로 라이트 데이터들을 입력받아 저장하고, 리드 동작 또는 스캔 동작으로 비트 셀 데이터들을 리드하여 출력한다.
- <19> 상기 제2 비트 셀 어레이 블록은 제3 라인들과 상기 제2 라인들이 연속한 라인들로 구성되는 다수개의 제2 비트 라인들 및 다수개의 제2 워드 라인들 사이의 교차 부분들 각각에 비트 셀을 구비하고, 상기 라이트 동작으로 라이트 데이터들을 입력받아 저장하고, 상기 리드 동작 또는 상기 스캔 동작으로 비트 셀 데이터들을 리드하여 출력한다.
- <20> 상기 블록 분할 로직은 상기 비트 라인들을 프리차지 하거나 상기 라이트 동작 시에는 액티브되고, 그 외의 경우에는 비활성화되는 블록 분할 제어 신호들을 생성하여 출력한다.
- <21> 상기 라이트 비트 라인 디바이더는 상기 블록 분할 제어 신호들에 응답하여 상기 제1 비트 라인들과 상기 제3 비트 라인들을 서로 단락시키거나 서로 개방시키킨다.
- <22> 상기 리드/라이트 드라이버는 상기 라이트 동작 시에 입력 데이터들을 수신하고 처리하여 상기 라이트 데이터들을 출력하고, 상기 리드 동작 시에 상기 리드된 비트 셀 데이터들을 감지하고 증폭하여 출력한다.

- <23> 상기 스캔 드라이버는 상기 스캔 동작 시에 상기 리드된 비트 셀 데이터들을 감지하고 증폭하여 출력한다.
- <24> 상기 반도체 메모리 장치는, 제3 비트 셀 어레이 블록, 및 제2 라이트 비트 라인 디바이더를 더 구비할 수 있다.
- <25> 상기 제3 비트 셀 어레이 블록은 제4 라인들과 상기 제2 라인들이 연속한 라인들로 구성되는 다수개의 제3 비트 라인들 및 다수개의 제3 워드 라인들 사이의 교차 부분들 각각에 비트 셀을 구비하고, 상기 라이트 동작으로 라이트 데이터들을 입력받아 저장하고, 상기 리드 동작 또는 상기 스캔 동작으로 비트 셀 데이터들을 리드하여 출력한다.
- <26> 상기 제2 라이트 비트 라인 디바이더는 상기 블록 분할 제어 신호에 응답하여 상기 제3 비트 라인들과 상기 제4 비트 라인들을 서로 단락시키거나 서로 개방시킨다.
- <27> 상기 블록 분할 로직은, 상기 프리차지 시에 액티브되는 프리차지 신호와 상기 라이트 동작 시에 액티브되는 라이트 인에이블 신호를 입력받아 NAND 동작을 수행하여 상기 블록 분할 제어 신호들 중 제1 블록 분할 제어 신호를 출력하는 NAND 로직; 및 상기 제1 블록 분할 제어 신호를 입력받아 논리 상태를 반전시켜 상기 블록 분할 제어 신호들 중 제2 블록 분할 제어 신호를 출력하는 INV 로직을 구비한다.
- <28> 상기 라이트 비트 라인 디바이더는, 게이트에 상기 제1 블록 분할 제어 신호를 받아 상기 제1 비트 라인들 각각과 상기 제3 비트 라인들 각각을 서로 단락시키거나 서로 개방시키는 다수개의 NMOSFET들; 및 게이트에 상기 제2 블록 분할 제어 신호를 받아 상기 제1 비트 라인들 각각과 상기 제3 비트 라인들 각각을 서로 단락시키거나 서로 개방시키는 다수개의 PMOSFET들을 구비한다.

- <29> 상기 라이트 동작은, 더블-엔드 비트 라인 방식으로 이루어지는 것을 특징으로 한다.
- <30> 상기 리드 동작은, 싱글-엔드 비트 라인 방식으로 이루어지는 것을 특징으로 한다.
- <31> 상기 스캔 동작은, 싱글-엔드 비트 라인 방식으로 이루어지는 것을 특징으로 한다.
- <32> 상기 비트 셀은, 6T 형 구조인 것을 특징으로 한다.
- <33> 상기의 다른 기술적 과제를 달성하기 위한 본 발명에 따른 반도체 메모리 장치의 구동 방법은, 다음과 같은 단계들을 구비한다.
- <34> 즉, 본 발명에 따른 반도체 메모리 장치의 구동 방법에서는, 제1 라인들과 제2 라인들로 구성되는 다수개의 제1 비트 라인들 및 다수개의 제1 워드 라인들 사이의 교차 부분들 각각에 비트 셀을 구비하는 제1 비트 셀 어레이 블록에서, 라이트 동작으로 라이트 데이터들을 입력받아 저장하고, 리드 동작 또는 스캔 동작으로 비트 셀 데이터들을 리드하여 출력하는 단계; 제3 라인들과 상기 제2 라인들이 연속한 라인들로 구성되는 다수개의 제2 비트 라인들 및 다수개의 제2 워드 라인들 사이의 교차 부분들 각각에 비트 셀을 구비하는 제2 비트 셀 어레이 블록에서는, 상기 라이트 동작으로 라이트 데이터들을 입력받아 저장하고, 상기 리드 동작 또는 상기 스캔 동작으로 비트 셀 데이터들을 리드하여 출력하는 단계; 상기 비트 라인들을 프리차지 하거나 상기 라이트 동작 시에는 액티브되고, 그 외의 경우에는 비활성화되는 블록 분할 제어 신호들을 생성하여 출력하는 단계; 상기 블록 분할 제어 신호들에 응답하여 상기 제1 비트 라인들과 상기 제3 비트 라인들을 서로 단락시키거나 서로 개방시키는 단계; 상기 라이트 동작 시에 입력 데이터들을 수신하고 처리하여 상기 라이트 데이터들을 출력하고, 상기 리드 동작 시에 상

기 리드된 비트 셀 데이터들을 감지하고 증폭하여 출력하는 단계; 및 상기 스캔 동작 시에 상기 리드된 비트 셀 데이터들을 감지하고 증폭하여 출력하는 단계를 구비한다.

<35> 상기 반도체 메모리 장치의 구동 방법은, 제4 라인들과 상기 제2 라인들이 연속한 라인들로 구성되는 다수개의 제3 비트 라인들 및 다수개의 제3 워드 라인들 사이의 교차 부분들 각각에 비트 셀을 구비하는 제3 비트 셀 어레이 블록에서, 상기 라이트 동작으로 라이트 데이터들을 입력받아 저장하고, 상기 리드 동작 또는 상기 스캔 동작으로 비트 셀 데이터들을 리드하여 출력하는 단계; 및 상기 블록 분할 제어 신호에 응답하여 상기 제3 비트 라인들과 상기 제4 비트 라인들을 서로 단락시키거나 서로 개방시키는 단계를 더 구비할 수 있다.

<36> 상기 블록 분할 제어 신호들을 생성하는 단계는, 상기 프리차지 시에 액티브되는 프리차지 신호와 상기 라이트 동작 시에 액티브되는 라이트 인에이블 신호를 입력받아 NAND 동작을 수행하여 상기 블록 분할 제어 신호들 중 제1 블록 분할 제어 신호를 출력하는 NAND 로직 단계; 및 상기 제1 블록 분할 제어 신호를 입력받아 논리 상태를 반전시켜 상기 블록 분할 제어 신호들 중 제2 블록 분할 제어 신호를 출력하는 INV 로직 단계를 구비한다.

<37> 상기 제1 비트 라인들과 상기 제3 비트 라인들을 서로 단락시키거나 서로 개방시키는 단계는, 게이트에 상기 제1 블록 분할 제어 신호를 받는 다수개의 NMOSFET들에 의하여, 상기 제1 비트 라인들 각각과 상기 제3 비트 라인들 각각을 서로 단락시키거나 서로 개방시키는 단계; 및 게이트에 상기 제2 블록 분할 제어 신호를 받는 다수개의 PMOSFET들에 의하여, 상기 제1 비트 라인들 각각과 상기 제3 비트 라인들 각각을 서로 단락시키거나 서로 개방시키는 단계를 구비한다.

- <38> 본 발명과 본 발명의 동작상의 이점 및 본 발명의 실시에 의하여 달성되는 목적을 충분히 이해하기 위해서는 본 발명의 바람직한 실시예를 예시하는 첨부 도면 및 첨부 도면에 기재된 내용을 참조하여야만 한다.
- <39> 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 설명함으로써, 본 발명을 상세히 설명한다. 각 도면에 제시된 동일한 참조부호는 동일한 부재를 나타낸다.
- <40> 도 3은 본 발명의 일실시예에 따른 반도체 메모리 장치의 구조이다.
- <41> 도 3을 참조하면, 본 발명의 일실시예에 따른 반도체 메모리 장치는, 제1 비트 셀 어레이 블록(310), 제2 비트 셀 어레이 블록(320), 블록 분할 로직(330), 라이트 비트 라인 디바이더(340), 리드/라이트 드라이버(350), 및 스캔 드라이버(360)를 구비한다. 여기서는 비트 셀 어레이 구조가 WL0, ..., WL127로 구성되는 128개의 워드 라인들과 BL0, BLB0, ..., BL127, BLB127로 구성되는 128 개의 비트 라인들(예를 들어, 한 쌍의 BL0과 BLB0을 하나의 비트 라인으로 봄)을 가지는 것으로 가정하였으나, 본 발명은 이와 같은 워드 라인들과 비트 라인들의 개수에 한정되지 않는다.
- <42> 상기 제1 비트 셀 어레이 블록(310)은 제1 라인들(BL0, ..., BL127)과 제2 라인들(BLB0, ..., BLB127)로 구성되는 다수개의 제1 비트 라인들 및 다수개의 제1 워드 라인들(WL0, ..., WL63) 사이의 교차 부분들 각각에 비트 셀을 구비하고, 라이트 동작으로 라이트 데이터들을 입력받아 저장하고, 리드 동작 또는 스캔 동작으로 비트 셀 데이터들을 리드하여 출력한다. 여기서, 상기 비트 셀은, 도 1 또는 도 2에서와 같이, 6T 형 구조이고, 하나의 비트 라인은 제1 라인들(BL0, ..., BL127) 중 하나의 라인(예를 들어, BL0)과 제2 라인들(BLB0, ..., BLB127)중 하나의 라인(예를 들어, BLB0)이 한 쌍을 이루는 구조이다. 이때, 제1 라인들(BL0, ..., BL127)은 비트 셀에

"0"(논리 로우 상태) 데이터를 기입하기 위한 라이트 전용 비트 라인들이고, 제2 라인들(BLB0,...,BLB127)은 리드 동작 또는 스캔 동작 동작에 이용될 뿐만 아니라 비트 셀에 "1"(논리 하이 상태) 데이터를 기입하기 위한 라인들이다.

<43> 상기 제2 비트 셀 어레이 블록(320)은 제3 라인들(BL0,...,BL127이 340을 통하여 연속하는 라인들)과 상기 제2 라인들(BLB0,...,BLB127)이 연속한 라인들로 구성되는 다수개의 제2 비트 라인들 및 다수개의 제2 워드 라인들(WL64,...,WL127) 사이의 교차 부분들 각각에 비트 셀을 구비하고, 상기 라이트 동작으로 라이트 데이터들을 입력받아 저장하고, 상기 리드 동작 또는 상기 스캔 동작으로 비트 셀 데이터들을 리드하여 출력한다. 여기서도, 상기 비트 셀은, 도 1 또는 도 2에서와 같이, 6T 형 구조이고, 하나의 비트 라인은 제3 라인들(BL0,...,BL127이 340을 통하여 연속하는 라인들) 중 하나의 라인(예를 들어, BL0이 연속한 라인)과 제2 라인들(BLB0,...,BLB127)중 하나의 라인(예를 들어, BLB0)이 한 쌍을 이루는 구조이다. 이때, 제3 라인들(BL0,...,BL127이 340을 통하여 연속하는 라인들)도 비트 셀에 "0"(논리 로우 상태) 데이터를 기입하기 위한 라이트 전용 비트 라인들이고, 제2 라인들(BLB0,...,BLB127)은 리드 동작 또는 스캔 동작 동작에 이용될 뿐만 아니라 비트 셀에 "1"(논리 하이 상태) 데이터를 기입하기 위한 라인들이다.

<44> 위에서, 상기 라이트 동작은, 도 1의 설명에서 기술한 바와 같이 더블-엔드 비트 라인 방식으로 이루어진다. 즉, 상기 라이트 동작은, 상기 비트 셀에 "0"데이터를 기입하기 위하여 상기 라이트 비트 라인 디바이더(340)를 통하여 서로 단락되는 상기 제1 라인들(BL0,...,BL127) 및 상기 제3 라인들(BL0,...,BL127이 340을 통하여 연속하는 라인들)에 상기 라이트 데이터들인 "0"들을 주고, 상기 비트 셀에 "1"데이터를 기입하기 위하

여 상기 제2 라인들(BLB0,...,BLB127)에 상기 라이트 데이터들인 "0"들을 주는 방식으로 이루어진다. 이때, 입력 데이터들(비트 라인들 각각에 대응하는 WD)을 수신하고 처리하여 상기 라이트 데이터들을 출력하는 것은, 비트 라인들에 대응하도록 상기 리드/라이트 드라이버(350)에 구비되는 소정 입출력 회로들(IOC들)에 의하여 이루어진다.

<45> 상기 리드 동작은, 도 1의 설명에서 기술한 바와 같이 싱글-엔드 비트 라인 방식으로 이루어진다. 즉, 상기 리드 동작은, 비트 셀에서 리드되는 상기 비트 셀 데이터들이 상기 제2 라인들(BLB0,...,BLB127)로 리드되는 방식으로 이루어진다. 이때, 상기 리드/라이트 드라이버(350)는 상기 리드 동작 시에, 상기 비트 셀 데이터들 각각에 대응하도록 구비되는 인버터(inverter)에 의하여 상기 리드된 비트 셀 데이터들을 감지하고 증폭하여 출력한다. 증폭되어 출력되는 데이터(비트 라인들 각각에 대응하는 RD)는 DQ 패드를 통하여 외부로 출력된다.

<46> 상기 스캔 동작은, 도 1의 설명에서 기술한 바와 같이 싱글-엔드 비트 라인 방식으로 이루어진다. 즉, 상기 스캔 동작은 선택된 워드 라인에 속한 모든 비트 셀들에서 리드된 상기 비트 셀 데이터들 각각이 상기 제2 라인들(BLB0,...,BLB127)로 출력되는 방식으로 이루어진다. 이때, 상기 스캔 드라이버(360)는 상기 리드 동작 시에, 상기 비트 셀 데이터들 각각에 대응하도록 구비되는 소정 인버터(inverter)에 의하여 상기 리드된 비트 셀 데이터들 각각을 감지하고 증폭하여 출력한다. 증폭되어 출력되는 데이터들(SRD)은 DQ 패드를 통하여 외부로 출력된다.

<47> 이와 같은, 라이트 동작, 리드 동작, 또는 스캔 동작에 있어서, 일반적으로 워드 라인의 선택은 소정 X-디코더에 의하여 이루어지고, 비트 라인들의 선택은 소정 Y-디코더에 의하여 이루어진다. 즉, 소정 X-디코더에 의하여 워드 라인이 선택되면, 해당 비트

셀들에 데이터를 기입하거나 해당 비트 셀들에 저장된 데이터를 리드할 수 있는 상태가 되고, 소정 Y-디코더에 의하여 해당 비트 라인들을 선택하여 라이트 데이터를 주거나 비트 셀들에서 리드되는 비트 셀 데이터들을 감지하고 증폭하여 출력한다.

<48> 한편, 상기 블록 분할 로직(330)은 상기 비트 라인들을 프리차지 하거나 상기 라이트 동작 시에는 액티브되고, 그 외의 경우에는 비활성화되는 블록 분할 제어 신호들(NANDOUT, INVOUT)을 생성하여 출력한다. 여기서, 프리차지는 일반적인 반도체 메모리 장치에서처럼, 라이트 동작, 리드 동작, 또는 스캔 동작하기 전에, 비트 라인들을 로직에 사용되는 논리 하이 상태의 전원 전압 VDD로 충전시키거나 로직에 사용되는 논리 로우 상태의 전원 전압 VSS로 방전시켜 주는 것이다. 이외에도, 프리차지 전압은 설계에 따라 다른 값, 즉, VDD/2 등으로 될 수 있다.

<49> 상기 블록 분할 로직(330)은, 도 3에 도시된 바와 같이, NAND 로직(NAND) 및 INV 로직(INV)을 구비한다.

<50> 상기 NAND 로직(NAND)은 상기 프리차지 시에 액티브되는 프리차지 신호(PRE)와 상기 라이트 동작 시에 액티브되는 라이트 인에이블 신호(NAND)를 입력받아 NAND 동작을 수행하여 상기 블록 분할 제어 신호들(NANDOUT, INVOUT) 중 제1 블록 분할 제어 신호(NANDOUT)를 출력한다.

<51> 상기 INV 로직(INV)은 상기 제1 블록 분할 제어 신호(NANDOUT)를 입력받아 논리 상태를 반전시켜 상기 블록 분할 제어 신호들(NANDOUT, INVOUT) 중 제2 블록 분할 제어 신호(INVOUT)를 출력한다.

<52> 이에 따라, 상기 라이트 비트 라인 디바이더(340)는 상기 블록 분할 제어 신호들 (NANDOUT, INVOUT)에 응답하여 상기 제1 비트 라인들과 상기 제3 비트 라인들을 서로 단락시키거나 서로 개방시키킨다. 즉, 상기 라이트 비트 라인 디바이더(340)는, 상기 제1 라인들(BL0, ..., BL127)과 상기 제2 라인들(BLB0, ..., BLB127) 사이마다 존재하는 한 쌍의 NMOSFET(예를 들어, NO)와 PMOSFET(예를 들어, P0)을 다수개 구비한다. 여기서, 다수개의 NMOSFET들(NO, ..., N127)은 게이트에 상기 제1 블록 분할 제어 신호(NANDOUT)를 받아 상기 제1 비트 라인들 각각과 상기 제3 비트 라인들 각각을 서로 단락시키거나 서로 개방시킨다. 또한, 다수개의 PMOSFET들(P0, ..., P127)은 게이트에 상기 제2 블록 분할 제어 신호(INVOUT)를 받아 상기 제1 비트 라인들 각각과 상기 제3 비트 라인들 각각을 서로 단락시키거나 서로 개방시킨다.

<53> 이와 같이, 상기 라이트 비트 라인 디바이더(340)는 비트 라인들을 프리차지 하거나 상기 라이트 동작 시에는 라이트 전용 비트 라인들, 즉, 상기 제1 비트 라인들 각각과 상기 제3 비트 라인들 각각을 서로 단락시키고, 싱글-엔드 비트 라인 방식으로 이루어지는 리드 또는 스캔 동작 시에는 라이트 전용 비트 라인들, 즉, 상기 제1 비트 라인들 각각과 상기 제3 비트 라인들 각각을 서로 개방시킨다. 따라서, 싱글-엔드 비트 라인 방식으로 이루어지는 리드 또는 스캔 동작 시에 라이트 전용 비트 라인의 부하 용량을 감소시켜서, 리드 또는 스캔 동작 중에 소모되는 전력을 줄일 수 있다. 이와 같은 관계를 정리하면 [표 1]과 같다. [표 1]에서, 액티브 상태는 논리 로우 상태("0")이고, 논-액티브(non-active) 상태는 논리 하이 상태("1")임을 알 수 있다.

<54> [표 1]

| <55> | WEN | PRE | 라이트 전용 비트 라인의 상태 |
|------|------------|------------|------------------|
| | 넌-액티브("1") | 넌-액티브("1") | 개방 |
| | 넌-액티브("1") | 액티브("0") | 단락 |
| | 액티브("0") | 넌-액티브("1") | 단락 |
| | 액티브("0") | 액티브("0") | 단락 |

<56> 도 4는 본 발명의 다른 실시예에 따른 반도체 메모리 장치의 구조이다.

<57> 도 4를 참조하면, 본 발명의 다른 실시예에 따른 반도체 메모리 장치는 3 블록으로 나누어진 비트 셀 어레이(410, 420, 430)와 2 개의 라이트 비트 라인 디바이더(450, 460)를 가지는 구조이다. 도 4에서, 제1 비트 셀 어레이 블록(410), 제2 비트 셀 어레이 블록(420), 및 제3 비트 셀 어레이 블록(430)은 도 3의 제1 비트 셀 어레이 블록(310) 또는 제2 비트 셀 어레이 블록(320)과 같은 구조를 가진다. 또한, 도 4에서, 블록 분할 로직(440)은 도 3의 블록 분할 로직(330)과 같은 구조이고, 제1 라이트 비트 라인 디바이더(450), 및 제2 라이트 비트 라인 디바이더(460)는, 도 3의 라이트 비트 라인 디바이더(350)와 같은 구조이다. 역시, 도 4에서, 리드/라이트 드라이버(470), 및 스캔 드라이버(480) 각각은 도 3의 리드/라이트 드라이버(350), 및 스캔 드라이버(360)와 같은 구조이다.

<58> 즉, 본 발명의 다른 실시예에 따른 반도체 메모리 장치에서, 상기 블록 분할 로직(440)은 비트 라인들을 프리차지 하거나 라이트 동작 시에는 액티브되고, 그 외의 경우에는 비활성화되는 블록 분할 제어 신호들(NANDOUT, INVOUT)을 생성하여 출력하고, 이에 따라, 상기 제1 라이트 비트 라인 디바이더(450)는 상기 블록 분할 제어 신호들(NANDOUT, INVOUT)에 응답하여, 제1 비트 셀 어레이 블록(410)에 있는 라이트 전용 비트 라인들과 제2 비트 셀 어레이 블록(420)에 있는 라이트 전용 비트 라인들을 서로 단락시키거나 서로 개방시킨다. 또한, 상기 제2 라이트 비트 라인 디바이더(460)는 상기 블록

분할 제어 신호들(NANDOUT, INVOUT)에 응답하여, 제2 비트 셀 어레이 블록(420)에 있는 라이트 전용 비트 라인들과 제3 비트 셀 어레이 블록(430)에 있는 라이트 전용 비트 라인들을 서로 단락시키거나 서로 개방시킨다.

<59> 여기서, 제1 비트 셀 어레이 블록(410)에 있는 라이트 전용 비트 라인들은 도 3의 제1 라인들(BL0,...,BL127)에 대응하고, 제2 비트 셀 어레이 블록(420)에 있는 라이트 전용 비트 라인들은 도 3의 제2 라인들(BL0,...,BL127)이 340을 통하여 연속하는 라인들에 대응한다.

<60> 따라서, 제3 비트 셀 어레이 블록(430)에서, 라이트 전용 비트 라인들은 제4 라인들이라 하고, 워드 라인들은 다수개의 제3 워드 라인들이라고 할 때, 상기 제3 비트 셀 어레이 블록은 제4 라인들과 도 3의 상기 제2 라인들(BLB0,...,BLB127)이 연속한 라인들로 구성되는 다수개의 제3 비트 라인들 및 다수개의 제3 워드 라인들 사이의 교차 부분들 각각에 비트 셀을 구비하고, 상기 더블-엔드 비트 라인 방식의 라이트 동작으로 라이트 데이터들을 입력받아 저장하고, 상기 싱글-엔드 비트 라인 방식의 상기 리드 동작 또는 상기 스캔 동작으로 비트 셀 데이터들을 리드하여 출력한다.

<61> 이에 따라, 상기 리드/라이트 드라이버(470)는 상기 라이트 동작 시에 입력 데이터들을 수신하고 처리하여 상기 라이트 데이터들을 출력하고, 상기 리드 동작 시에 상기 리드된 비트 셀 데이터들을 감지하고 증폭하여 출력한다. 또한, 상기 스캔 드라이버(480)는 상기 스캔 동작 시에 상기 리드된 비트 셀 데이터들을 감지하고 증폭하여 출력한다.

<62> 위에서 기술한 바와 같이 본 발명의 실시예들에 따른 반도체 메모리 장치는, 비트 라인들을 프리차지 하거나 라이트 동작 시에는 액티브되고, 그 외의 경우에는 비활성화

되는 블록 분할 제어 신호들(NANDOUT, INVOUT)을 생성하여 출력하는 블록 분할 로직 (330, 또는 440)을 구비하고, 상기 블록 분할 제어 신호들(NANDOUT, INVOUT)에 응답하여 여러 개로 나누어진 비트 셀 어레이 블록들 각각에 있는 라이트 전용 비트 라인들을 서로 단락시키거나 개방시키는 라이트 비트 라인 디바이더(340, 450, 또는 460)를 구비한다. 이에 따라, 싱글-엔드 비트 라인 방식으로 리드 또는 스캔 동작 시에 라이트 전용 비트 라인의 부하 용량을 감소시킨다. 이와 같은 실시예들에 따른 반도체 메모리 장치의 전력 소모는 종래의 구조에 비하여 20% 가까이 감소되고, 비트 셀 어레이를 더 많은 블록들로 나누면 전력 소모 감소 효과는 더 크게 나타난다. 이때, 기존에 비하여 설계 레이아웃(layout)에서 칩 면적의 증가가 거의 없으며, 동작 속도의 감소 문제도 거의 없다.

<63> 이상에서와 같이 도면과 명세서에서 최적 실시예가 개시되었다. 여기서 특정한 용어들이 사용되었으나, 이는 단지 본 발명을 설명하기 위한 목적에서 사용된 것이지 의미 한정이나 특허청구범위에 기재된 본 발명의 범위를 제한하기 위하여 사용된 것은 아니다. 그러므로 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구범위의 기술적 사상에 의해 정해져야 할 것이다.

【발명의 효과】

<64> 상술한 바와 같이 본 발명에 따른 반도체 메모리 장치는, 싱글-엔드 비트 라인 방식으로 리드/스캔 동작 시에 라이트 전용 비트 라인의 부하 용량을 감소시켜서, 리드/스

1020030034362

출력 일자: 2003/7/11

캔 동작 중에 소모되는 전력을 줄일 수 있다. 또한, 칩 면적이 작고, 공정 수율이 증가되는 효과가 있다.

【특허청구범위】**【청구항 1】**

제1 라인들과 제2 라인들로 구성되는 다수개의 제1 비트 라인들 및 다수개의 제1 워드 라인들 사이의 교차 부분들 각각에 비트 셀을 구비하고, 라이트 동작으로 라이트 데이터들을 입력받아 저장하고, 리드 동작 또는 스캔 동작으로 비트 셀 데이터들을 리드하여 출력하는 제1 비트 셀 어레이 블록;

제 3 라인들과 상기 제2 라인들이 연속한 라인들로 구성되는 다수개의 제2 비트 라인들 및 다수개의 제2 워드 라인들 사이의 교차 부분들 각각에 비트 셀을 구비하고, 상기 라이트 동작으로 라이트 데이터들을 입력받아 저장하고, 상기 리드 동작 또는 상기 스캔 동작으로 비트 셀 데이터들을 리드하여 출력하는 제2 비트 셀 어레이 블록;

상기 비트 라인들을 프리차지 하거나 상기 라이트 동작 시에는 액티브되고, 그 외의 경우에는 비활성화되는 블록 분할 제어 신호들을 생성하여 출력하는 블록 분할 로직;

상기 블록 분할 제어 신호들에 응답하여 상기 제1 비트 라인들과 상기 제3 비트 라인들을 서로 단락시키거나 서로 개방시키는 라이트 비트 라인 디바이더;

상기 라이트 동작 시에 입력 데이터들을 수신하고 처리하여 상기 라이트 데이터들을 출력하고, 상기 리드 동작 시에 상기 리드된 비트 셀 데이터들을 감지하고 증폭하여 출력하는 리드/라이트 드라이버; 및

상기 스캔 동작 시에 상기 리드된 비트 셀 데이터들을 감지하고 증폭하여 출력하는 스캔 드라이버를 구비하는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 2】

제 1항에 있어서, 상기 반도체 메모리 장치는,

제 4 라인들과 상기 제2 라인들이 연속한 라인들로 구성되는 다수개의 제3 비트 라인들 및 다수개의 제3 워드 라인들 사이의 교차 부분들 각각에 비트 셀을 구비하고, 상기 라이트 동작으로 라이트 데이터들을 입력받아 저장하고, 상기 리드 동작 또는 상기 스캔 동작으로 비트 셀 데이터들을 리드하여 출력하는 제3 비트 셀 어레이 블록; 및

상기 블록 분할 제어 신호에 응답하여 상기 제3 비트 라인들과 상기 제4 비트 라인들을 서로 단락시키거나 서로 개방시키는 제2 라이트 비트 라인 디바이더를 더 구비하는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 3】

제 1항에 있어서, 상기 블록 분할 로직은,

상기 프리차지 시에 액티브되는 프리차지 신호와 상기 라이트 동작 시에 액티브되는 라이트 인에이블 신호를 입력받아 NAND 동작을 수행하여 상기 블록 분할 제어 신호들 중 제1 블록 분할 제어 신호를 출력하는 NAND 로직; 및

상기 제1 블록 분할 제어 신호를 입력받아 논리 상태를 반전시켜 상기 블록 분할 제어 신호들 중 제2 블록 분할 제어 신호를 출력하는 INV 로직을 구비하고,

상기 라이트 비트 라인 디바이더는,

게이트에 상기 제1 블록 분할 제어 신호를 받아 상기 제1 비트 라인들 각각과 상기 제3 비트 라인들 각각을 서로 단락시키거나 서로 개방시키는 다수개의 NMOSFET들; 및

게이트에 상기 제2 블록 분할 제어 신호를 받아 상기 제1 비트 라인들 각각과 상기 제3 비트 라인들 각각을 서로 단락시키거나 서로 개방시키는 다수개의 PMOSFET들을 구비하는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 4】

제 1항에 있어서, 상기 라이트 동작은,
더블-엔드 비트 라인 방식으로 이루어지는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 5】

제 1항에 있어서, 상기 리드 동작은,
싱글-엔드 비트 라인 방식으로 이루어지는 것을 특징으로 하는 반도체 메모리 장치

【청구항 6】

제 1항에 있어서, 상기 스캔 동작은,
싱글-엔드 비트 라인 방식으로 이루어지는 것을 특징으로 하는 반도체 메모리 장치

【청구항 7】

제 1항에 있어서, 상기 비트 셀은,
6T 형 구조인 것을 특징으로 하는 반도체 메모리 장치.

**【청구항 8】**

제1 라인들과 제2 라인들로 구성되는 다수개의 제1 비트 라인들 및 다수개의 제1 워드 라인들 사이의 교차 부분들 각각에 비트 셀을 구비하는 제1 비트 셀 어레이 블록에서, 라이트 동작으로 라이트 데이터들을 입력받아 저장하고, 리드 동작 또는 스캔 동작으로 비트 셀 데이터들을 리드하여 출력하는 단계;

제 3 라인들과 상기 제2 라인들이 연속한 라인들로 구성되는 다수개의 제2 비트 라인들 및 다수개의 제2 워드 라인들 사이의 교차 부분들 각각에 비트 셀을 구비하는 제2 비트 셀 어레이 블록에서, 상기 라이트 동작으로 라이트 데이터들을 입력받아 저장하고, 상기 리드 동작 또는 상기 스캔 동작으로 비트 셀 데이터들을 리드하여 출력하는 단계;

상기 비트 라인들을 프리차지 하거나 상기 라이트 동작 시에는 액티브되고, 그 외의 경우에는 비활성화되는 블록 분할 제어 신호들을 생성하여 출력하는 단계;

상기 블록 분할 제어 신호들에 응답하여 상기 제1 비트 라인들과 상기 제3 비트 라인들을 서로 단락시키거나 서로 개방시키는 단계;

상기 라이트 동작 시에 입력 데이터들을 수신하고 처리하여 상기 라이트 데이터들을 출력하고, 상기 리드 동작 시에 상기 리드된 비트 셀 데이터들을 감지하고 증폭하여 출력하는 단계; 및

상기 스캔 동작 시에 상기 리드된 비트 셀 데이터들을 감지하고 증폭하여 출력하는 단계를 구비하는 것을 특징으로 하는 반도체 메모리 장치의 구동 방법.

【청구항 9】

제 8항에 있어서, 상기 반도체 메모리 장치의 구동 방법은,

제 4 라인들과 상기 제2 라인들이 연속한 라인들로 구성되는 다수개의 제3 비트 라인들 및 다수개의 제3 워드 라인들 사이의 교차 부분들 각각에 비트 셀을 구비하는 제2 비트 셀 어레이 블록에서, 상기 라이트 동작으로 라이트 데이터들을 입력받아 저장하고, 상기 리드 동작 또는 상기 스캔 동작으로 비트 셀 데이터들을 리드하여 출력하는 단계; 및

상기 블록 분할 제어 신호에 응답하여 상기 제3 비트 라인들과 상기 제4 비트 라인들을 서로 단락시키거나 서로 개방시키는 단계를 더 구비하는 것을 특징으로 하는 반도체 메모리 장치의 구동 방법.

【청구항 10】

제 8항에 있어서, 상기 블록 분할 제어 신호들을 생성하는 단계는,

상기 프리차지 시에 액티브되는 프리차지 신호와 상기 라이트 동작 시에 액티브되는 라이트 인에이블 신호를 입력받아 NAND 동작을 수행하여 상기 블록 분할 제어 신호들 중 제1 블록 분할 제어 신호를 출력하는 NAND 로직 단계; 및

상기 제1 블록 분할 제어 신호를 입력받아 논리 상태를 반전시켜 상기 블록 분할 제어 신호들 중 제2 블록 분할 제어 신호를 출력하는 INV 로직 단계를 구비하고,

상기 제1 비트 라인들과 상기 제3 비트 라인들을 서로 단락시키거나 서로 개방시키는 단계는,

게이트에 상기 제1 블록 분할 제어 신호를 받는 다수개의 NMOSFET들에 의하여, 상기 제1 비트 라인들 각각과 상기 제3 비트 라인들 각각을 서로 단락시키거나 서로 개방시키는 단계; 및



게이트에 상기 제2 블록 분할 제어 신호를 받는 다수개의 PMOSFET들에 의하여, 상기 제1 비트 라인들 각각과 상기 제3 비트 라인들 각각을 서로 단락시키거나 서로 개방시키는 단계를 구비하는 것을 특징으로 하는 반도체 메모리 장치의 구동 방법.

【청구항 11】

제 8항에 있어서, 상기 라이트 동작은,
더블-엔드 비트 라인 방식으로 이루어지는 것을 특징으로 하는 반도체 메모리 장치의 구동 방법.

【청구항 12】

제 8항에 있어서, 상기 리드 동작은,
싱글-엔드 비트 라인 방식으로 이루어지는 것을 특징으로 하는 반도체 메모리 장치의 구동 방법.

【청구항 13】

제 8항에 있어서, 상기 스캔 동작은,
싱글-엔드 비트 라인 방식으로 이루어지는 것을 특징으로 하는 반도체 메모리 장치의 구동 방법.

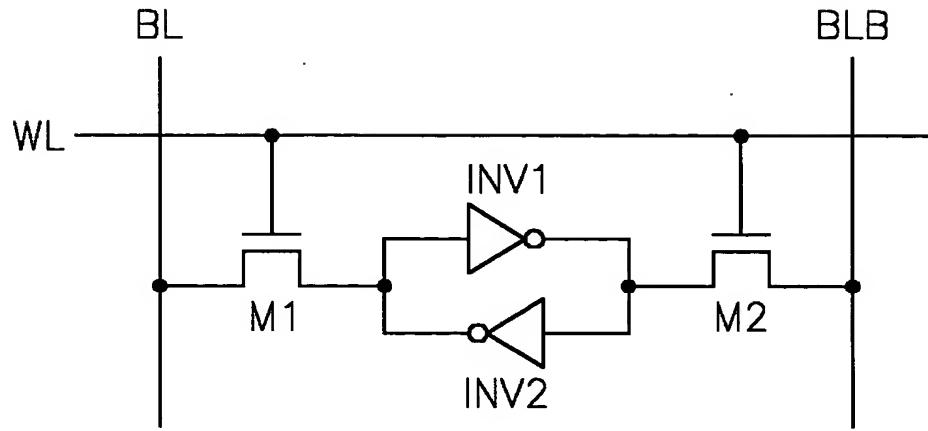
【청구항 14】

제 8항에 있어서, 상기 비트 셀은,
6T 형 구조인 것을 특징으로 하는 반도체 메모리 장치의 구동 방법.

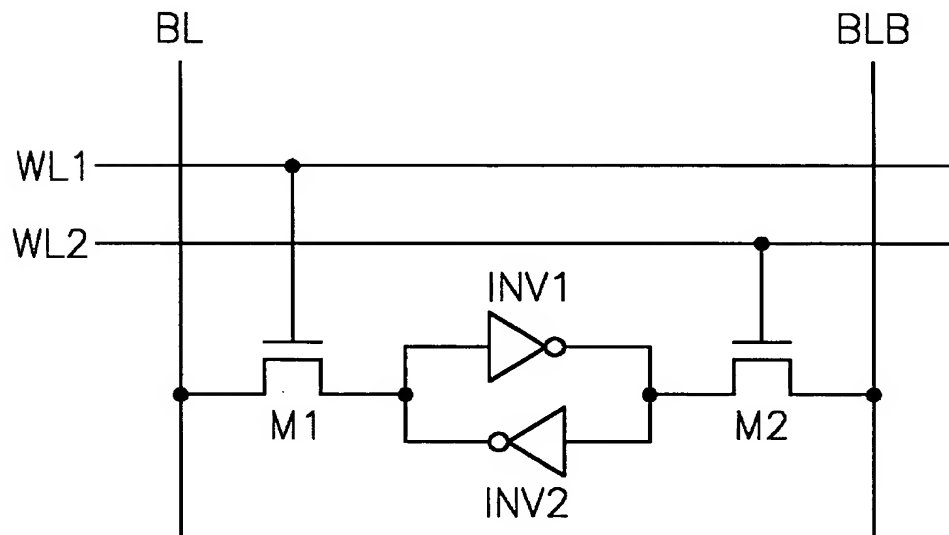


【도면】

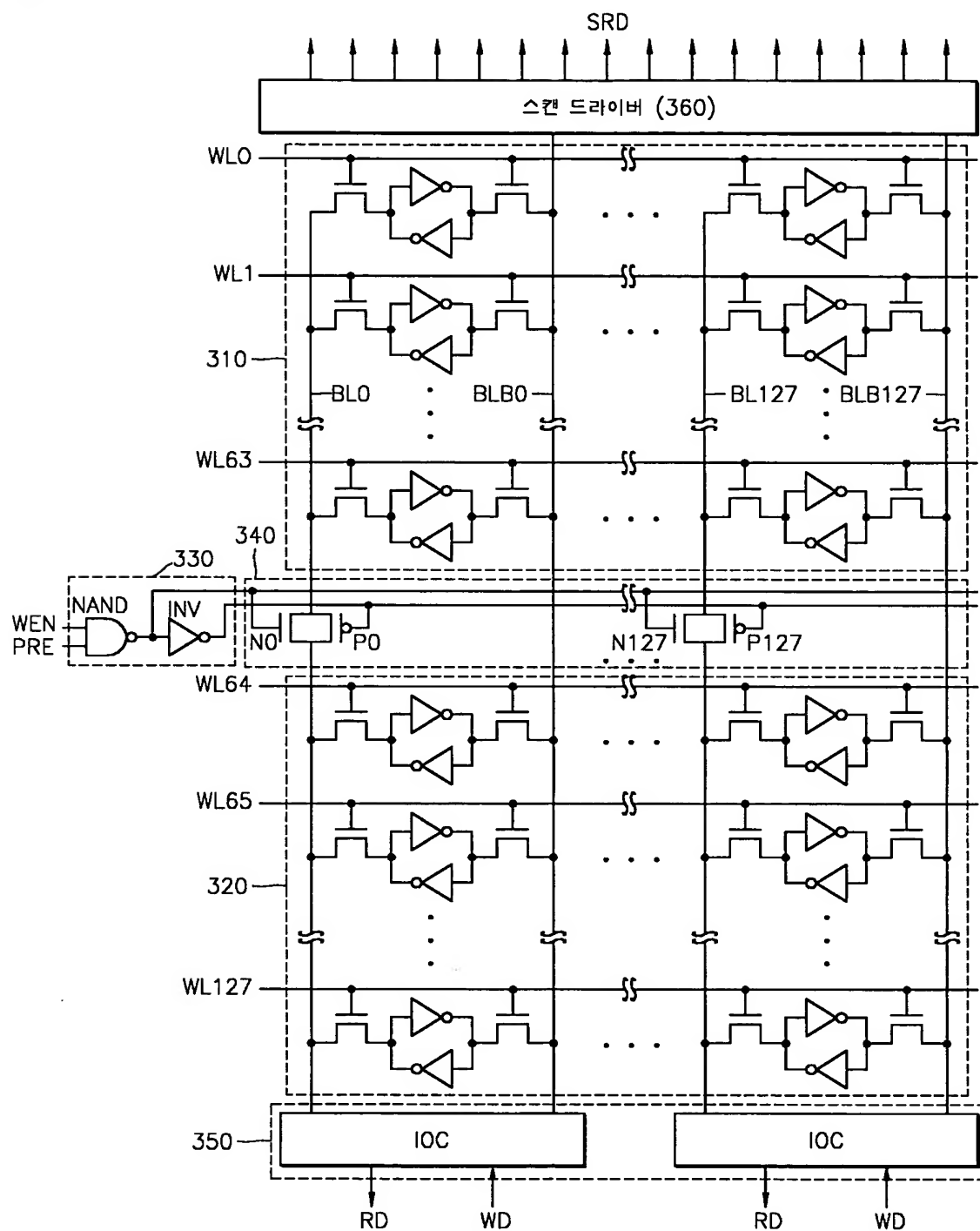
【도 1】



【도 2】



【도 3】





【도 4】

